

Method of producing a thin layer of semiconductor material

Publication number: FR2748851

Publication date: 1997-11-21

Inventor: ASPAR BERNARD; BRUEL MICHEL; POUMEYROL THIERRY

Applicant: COMMISSARIAT ENERGIE ATOMIQUE (FR)

Classification:

- International: H01L21/265; H01L21/02; H01L21/304; H01L21/762; H01L27/12; H01L21/02; H01L21/70; H01L27/12; (IPC1-7): H01L21/265; H01L21/324; H01L21/762

- european: H01L21/304; H01L21/762D8; H01L21/762D8B

Application number: FR19960006086 19960515

Priority number(s): FR19960006086 19960515

Also published as:



EP0807970 (A1)
US6020252 (A1)
JP2004048038 (A)
JP10050628 (A)

[Report a data error here](#)

Abstract not available for FR2748851

Abstract of corresponding document: **US6020252**

A thin layer of semiconductor material is produced by implanting ions through a flat face of a semiconductor wafer in order to create a layer of microcavities, the ion dose being within a specific range in order to avoid the formation of blisters on the flat face. The resulting wafer is then subjected to a thermal treatment step in order to achieve coalescence of the microcavities. During or following the thermal treatment, a thin layer is separated from the rest of the wafer by application of mechanical force.

Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

(19) RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

(11) N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 748 851

(21) N° d'enregistrement national : 96 06086

(51) Int Cl⁶ : H 01 L 21/265, H 01 L 21/762, 21/324

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 15.05.96.

(30) Priorité :

(71) Demandeur(s) : COMMISSARIAT A L'ENERGIE
ATOMIQUE ETABLISSEMENT DE CARACT SCIENT TECH
ET INDUST — FR.

(43) Date de la mise à disposition du public de la
demande : 21.11.97 Bulletin 97/47.

(56) Liste des documents cités dans le rapport de
recherche préliminaire : Se reporter à la fin du
présent fascicule.

(60) Références à d'autres documents nationaux
apparentés :

(72) Inventeur(s) : ASPAR BERNARD, BRUEL MICHEL et
POUMEYROL THIERRY.

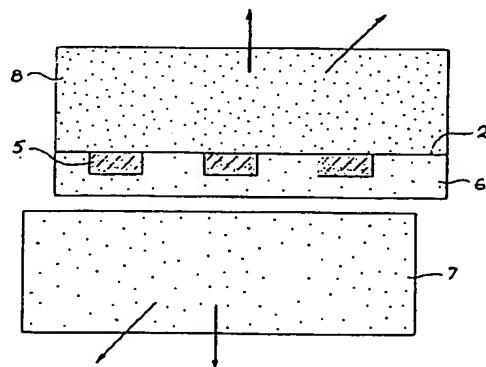
(73) Titulaire(s) :

(74) Mandataire : BREVATOME.

(54) PROCEDE DE REALISATION D'UNE COUCHE MINCE DE MATERIAU SEMICONDUCTEUR.

(57) L'invention concerne un procédé de réalisation couche
mince de matériau semi-conducteur comprenant :

- une étape d'implantation ionique à travers une face plane (2) d'une plaquette semi-conductrice pour créer une couche de microcavités, la dose d'ions étant comprise dans une gamme déterminée pour éviter la formation de cloques sur la face plane,
- une étape de traitement thermique pour obtenir la coalescence des microcavités,
- éventuellement, une étape de réalisation d'au moins un composant électronique (5) dans la couche mince (6),
- une étape de séparation de la couche mince (6) du reste (7) de la plaquette.



FR 2 748 851 - A1



PROCEDE DE REALISATION D'UNE COUCHE MINCE
DE MATERIAU SEMICONDUCTEUR

La présente invention concerne un procédé de réalisation d'une couche mince de matériau 5. semiconducteur. La couche mince réalisée peut éventuellement être pourvue de composants électroniques.

L'invention permet la réalisation de couches minces de semiconducteur aussi bien monocristallin que polycristallin et même amorphe et par exemple la 10 réalisation de substrats de type Silicium Sur Isolant, la réalisation de couches minces autoportantes de semiconducteur monocristallin. Des circuits électroniques et/ou des microstructures peuvent être réalisés complètement ou en partie dans ces couches 15 ou dans ces substrats.

Il est connu que l'implantation d'ions d'un gaz rare ou d'hydrogène dans un matériau semiconducteur induit la formation de microcavités à une profondeur voisine de la profondeur moyenne de pénétration des 20 ions. Le document FR-A-2 681 472 divulgue un procédé qui utilise cette propriété pour obtenir un film mince de matériau semiconducteur. Ce procédé consiste à soumettre une plaquette du matériau semiconducteur désiré et comportant une face plane aux étapes 25 suivantes :

- une première étape d'implantation par bombardement de la face plane de la plaquette au moyen d'ions créant, dans le volume de la plaquette et à une profondeur voisine de la profondeur de pénétration 30 des ions, une couche de microcavités séparant la plaquette en une région inférieure constituant la masse du substrat et une région supérieure constituant le film mince, les ions étant choisis parmi les ions de gaz rares ou de gaz hydrogène et la température de 35 la plaquette étant maintenue au-dessous de la

température à laquelle les ions implantés peuvent s'échapper du semiconducteur par diffusion ;

- une deuxième étape de mise en contact intime de la face plane de la plaquette avec un support 5 constitué au moins d'une couche de matériau rigide. Ce contact intime pouvant être réalisé par exemple à l'aide d'une substance adhésive ou par l'effet d'une préparation préalable des surfaces et éventuellement d'un traitement thermique ou/et électrostatique pour 10 favoriser les liaisons interatomiques entre le support et la plaquette ;

- une troisième étape de traitement thermique de l'ensemble plaquette et support à une température supérieure à la température durant laquelle 15 l'implantation a été effectuée et suffisante pour créer par effet de réarrangement cristallin dans la plaquette et de pression des microcavités une séparation entre le film mince et la masse du substrat. Cette température est par exemple de 500°C pour du silicium.

20 Le procédé décrit dans le document FR-A-2 681 472 ne permet pas de réaliser des circuits électroniques dans et à la surface de la face plane de la plaquette après l'étape d'implantation ionique. En effet, la réalisation de tels circuits implique 25 d'effectuer certaines opérations classiques de micro-électronique (recuit de diffusion, déposition, etc.) qui nécessitent des étapes de traitement thermique (typiquement de 400°C à 700°C) selon les étapes pour le silicium. Or, à ces températures, il se forme des 30 cloques sur la surface de la face plane de la plaquette implantée. A titre d'exemple, pour une implantation d'ions hydrogène selon une dose de 5.10^{16} protons/cm² et de 100 keV d'énergie dans une plaquette de silicium, un traitement thermique réalisé à 500°C pendant 30 min 35 conduit à une dégradation de 50% de la surface de la

face plane de la plaquette, cette dégradation résultant de l'apparition de cloques et de leur éclatement. Il n'est alors plus possible d'assurer correctement la mise en contact intime de la face plane de la plaquette 5 avec le support (que l'on appellera appicateur dans la suite de la description) afin de décoller la couche semiconductrice du reste de la plaquette.

Ce phénomène de formation de cloques et de cratères à la surface d'une plaquette de silicium 10 implantée d'ions hydrogène après recuit a été discuté dans l'article "Investigation of the bubble formation mechanism in a-Si:H films by Fourier-transform infrared microspectroscopy" de Y. Mishima et T. Yagishita, paru dans J. Appl.Phys. 64 (8), 15 Octobre 1988, pages 15 3972-3974.

La présente invention a été conçue pour perfectionner le procédé décrit dans le document FR-A-2 681 472. Elle permet, après une étape d'implantation ionique dans une gamme de doses 20 appropriées et avant l'étape de séparation, de réaliser un traitement thermique de la partie de la plaquette correspondant à la future couche mince, en particulier entre 400°C et 700°C pour le silicium, sans dégrader l'état de surface de la face plane de la plaquette 25 et sans séparation de la couche mince. Ce traitement thermique intermédiaire peut faire partie des opérations d'élaboration de composants électroniques ou être imposé pour d'autres raisons.

L'invention s'applique également au cas où 30 l'épaisseur de la couche mince est suffisante pour lui conférer une bonne tenue mécanique, auquel cas il n'est pas nécessaire d'utiliser un appicateur pour obtenir la séparation de la couche mince du reste de la plaquette, mais où l'on désire malgré tout éviter 35 des défauts de surface à la face plane.

L'invention a donc pour objet un procédé de réalisation d'une couche mince de matériau semiconducteur à partir d'une plaquette dudit matériau comportant une face plane, comprenant une étape 5 d'implantation ionique consistant à bombarder ladite face plane par des ions choisis parmi les ions de gaz rares ou d'hydrogène, selon une température déterminée et une dose déterminée pour créer, dans un plan dit plan de référence et situé à une profondeur voisine 10 de la profondeur moyenne de pénétration des ions, des microcavités, le procédé comprenant également une étape postérieure de traitement thermique à une température suffisante en vue d'obtenir une séparation de la plaquette en deux parties, de part et d'autre dudit 15 plan de référence, la partie située du côté de la face plane constituant la couche mince, caractérisé en ce que :

- l'étape d'implantation ionique est conduite avec une dose d'ions comprise entre une dose minimum 20 et une dose maximum, la dose minimum étant celle à partir de laquelle il y aura une création suffisante de microcavités pour obtenir la fragilisation de la plaquette suivant le plan de référence, la dose maximum, ou dose critique, étant celle au-dessus de laquelle, 25 pendant l'étape de traitement thermique, il y a séparation de la plaquette,

- une étape de séparation de la plaquette en deux parties, de part et d'autre du plan de référence, est prévue après ou pendant l'étape de 30 traitement thermique, cette étape de séparation comportant l'application de forces mécaniques entre les deux parties de la plaquette.

Ces forces mécaniques peuvent être des forces de traction, de cisaillement et de flexion appliquées 35 seules ou en combinaison.

On entend dans la demande par microcavités, des cavités pouvant se présenter sous forme quelconque ; par exemple, les cavités peuvent être de forme aplatie, c'est-à-dire de faible hauteur (quelques distances 5 inter-atomiques) ou de forme sensiblement sphérique ou de tout autre forme différente. Ces cavités peuvent contenir une phase gazeuse libre et/ou des atomes de gaz issus des ions implantés fixés sur des atomes du matériau formant les parois des cavités. Ces cavités 10 sont généralement appelées en terminologie anglo-saxonne "platelets", "microblisters" ou même "bubbles".

Le traitement thermique réalisé en vue de l'obtention de la séparation de la couche mince du reste de la plaquette, permet d'amener les microcavités 15 dans un état stable. En effet, sous l'effet de la température, les microcavités coalescent pour atteindre un état définitif. La température est donc choisie de façon à obtenir cet état.

Selon le document FR-A-2 681 472, les doses 20 implantées sont telles que l'on obtient, sous l'effet du traitement thermique, une couche de microcavités qui permet d'obtenir directement la séparation.

Selon la présente invention, les doses 25 implantées sont insuffisantes pour obtenir au cours du traitement thermique une séparation, les doses implantées permettent seulement une fragilisation de la plaquette au niveau du plan de référence, la séparation nécessite une étape supplémentaire par application de forces mécaniques. En outre, la dose 30 critique telle que définie dans l'invention est inférieure à la dose à laquelle aux cours des étapes d'implantation ionique et de traitement thermique, il y a formation de cloques sur la face plane de la plaquette. Le problème de cloques ne se pose donc pas dans l'invention.

35 Le procédé selon l'invention peut comprendre,

entre l'étape de traitement thermique et l'étape de séparation, une étape consistant à réaliser au moins tout ou partie d'un composant électronique dans la partie de la plaquette devant constituer la couche 5 mince.

Si la réalisation de ce composant électronique nécessite des phases de traitement thermique, celles-ci sont de préférence menées à une température inférieure à celle du traitement thermique.

10 En cas de besoin, juste avant l'étape de séparation, il est prévu une étape supplémentaire consistant à mettre en contact intime et à solidariser ladite plaquette, du côté de ladite face plane, avec un support par l'intermédiaire duquel les forces 15 mécaniques telles que des forces de traction et/ou de cisaillement seront appliquées.

Ce support peut être un support souple, par exemple une feuille de Kapton®. Il peut être un support rigide comme une plaquette de silicium oxydé.

20 L'invention sera mieux comprise et d'autres avantages et particularités apparaîtront à la lecture de la description qui va suivre, donnée à titre d'exemple non limitatif, parmi lesquels :

25 - la figure 1 représente, de façon schématique, une plaquette de matériau semiconducteur dont l'une de ses faces est soumise à un bombardement d'ions en application du procédé selon la présente invention,

- la figure 2 représente, de façon schématique, la plaquette précédente à l'issue de l'étape de traitement thermique destinée à faire coalescer les microcavités, selon la présente invention,

- la figure 3 représente, de façon schématique, la plaquette précédente après formation 35 de composants électroniques dans la partie correspondant

à la couche mince désirée,

- la figure 4 représente, de façon schématique, l'étape de séparation de la plaquette précédente en deux parties, conformément à la présente 5 invention.

Un point important de la présente invention réside dans l'implantation d'ions d'hydrogène ou de gaz rare, selon une dose inférieure ou égale à la dose au-dessus de laquelle il y aurait séparation au cours 10 du traitement thermique. La dose utilisée est telle qu'elle permet une fragilisation du matériau à une profondeur R_p correspondant au parcours moyen des ions dans le matériau, mais la plaquette reste suffisamment résistante mécaniquement pour supporter toutes les 15 étapes de traitement thermique nécessaires à la réalisation de circuits électroniques. Autrement dit, la plaquette implantée présente, dans la zone de microcavités, des ponts solides reliant la partie de la plaquette destinée à constituer la couche mince 20 à la partie restante de la plaquette.

La description va maintenant porter sur la réalisation d'une couche mince en matériau semiconducteur à partir d'un substrat épais présentant une face plane. Le substrat de départ peut être ou 25 non recouvert sur cette face plane d'une ou de plusieurs couches de matériaux, comme par exemple des matériaux encapsulants tels qu'un diélectrique.

La figure 1 illustre l'étape d'implantation ionique d'une plaquette 1 en matériau semiconducteur. 30 La face plane 2 de la plaquette reçoit le bombardement ionique qui est figuré par des flèches. Dans le cas où la face plane 2 de la plaquette est recouverte d'un ou de plusieurs matériaux non semiconducteurs, l'énergie des ions est choisie suffisante pour qu'ils pénètrent 35 dans la masse de matériau semiconducteur.

Le cas échéant, l'épaisseur de matériau semiconducteur implanté doit être telle que l'on puisse réaliser tout ou partie de composants électroniques et/ou des microstructures dans la couche mince. A titre 5 d'exemple, la pénétration moyenne des ions hydrogène est de 2 μm à 200 keV dans du silicium.

L'implantation ionique de ces types d'ions dans le substrat semiconducteur crée en profondeur, au voisinage de la profondeur correspondant au parcours 10 moyen R_p des ions suivant une perpendiculaire à la face plane, une zone à forte concentration en atomes donnant naissance à des microcavités. Par exemple, la concentration maximum en hydrogène est de $10^{21} \text{ H}^+/\text{cm}^3$ pour une dose d'implantation de $2.10^{16} \text{ H}^+/\text{cm}^2$ à 100 keV. 15 Cette étape d'implantation ionique doit être réalisée à une température telle que les ions de gaz implantés ne diffusent pas au fur et à mesure (pendant l'étape d'implantation) à longue distance. Ceci perturberait ou annihilerait la formation de microcavités. Par 20 exemple, dans le cas d'une implantation d'ions d'hydrogène dans du silicium on réalisera l'implantation ionique à une température inférieure à 350°C.

La dose d'implantation (nombre d'ions par unité de surface reçu pendant la durée de 25 l'implantation) est choisie de sorte que la dose soit inférieure ou égale à une dose, dite dose critique, telle que, au-dessus de cette dose critique, pendant l'étape subséquente de traitement thermique, il y a séparation de la couche mince du reste de la plaquette. 30 Dans le cas d'une implantation d'ions hydrogène, cette dose critique est de l'ordre de $4.10^{16} \text{ H}^+/\text{cm}^2$ pour une énergie de 160 keV.

La dose d'implantation est également choisie 35 supérieure à une dose minimum à partir de laquelle, lors de l'étape de traitement thermique subséquente,

la formation de microcavités et l'interaction entre celles-ci est suffisante, c'est-à-dire qu'elle permet de fragiliser le matériau implanté dans la zone de microcavités 3. Cela veut dire qu'il existe encore 5 des ponts solides de matériau semiconducteur situé entre les microcavités. Dans le cas d'une implantation d'ions de gaz hydrogène dans un substrat de silicium, cette dose minimum est de l'ordre de $1.10^{16}/\text{cm}^2$ à une énergie de 100 keV.

10 L'étape suivante du procédé selon l'invention consiste en un traitement thermique de la plaquette à une température suffisante pour permettre une coalescence des microcavités suivant le plan de référence. Dans le cas d'une implantation, à une 15 température inférieure à 350°C , d'ions de gaz hydrogène dans un substrat de silicium et une dose de $3.10^{16} \text{H}^+/\text{cm}^2$ à une énergie de 100 keV, après un traitement thermique de trente minutes à 550°C , on observe par microscopie électronique à transmission 20 en coupe, des cavités de hauteur égale à quelques fractions de nanomètres et d'extension suivant le plan de référence de plusieurs nanomètres voire plusieurs dizaines de nanomètres. Ce traitement thermique permet à la fois la précipitation et la stabilisation des 25 atomes de gaz implantés sous forme de microcavités.

Les microcavités 4 (voir la figure 2) occupent, suivant le plan de référence, une surface sensiblement égale à la surface implantée. Les cavités 4 ne se situent pas exactement dans le même plan. Elles 30 se trouvent dans des plans parallèles au plan de référence à quelques nanomètres ou dizaines de nanomètres de ce plan de référence. De ce fait, la partie supérieure du substrat situé entre le plan de référence et la face plane 2 n'est pas totalement 35 séparée de la masse du substrat, la masse du substrat

étant définie comme le reste du substrat compris entre le plan de référence et les faces du substrat autres que la face plane. Les liaisons restantes sont suffisamment fortes pour supporter des étapes de manipulation et de recuit dues aux étapes technologiques dans la réalisation de circuits intégrés. Cependant, la liaison entre la partie supérieure et la masse du substrat est très affaiblie puisque cette liaison n'est réalisée que par l'intermédiaire de ponts de matériau semiconducteur situés entre les cavités.

On peut ensuite réaliser sur la face plane 2 (à la surface et sous la surface) tout ou partie des composants électroniques, des circuits et des microstructures.

L'énergie d'implantation ionique des ions d'hydrogène ou de gaz rare de la première étape a été choisie de telle façon que la profondeur de la zone de microcavités soit suffisante pour qu'elle ne soit pas perturbée par la réalisation de composants, de circuits électroniques et/ou de microstructures durant cette étape. En outre, l'ensemble des opérations de recuit thermique que nécessite l'élaboration de composants, de circuits électroniques ou de microstructures, est choisi de façon à minimiser une éventuelle diffusion des ions implantés. Par exemple, dans le cas d'une plaquette de silicium monocristallin, on limitera préférentiellement la température maximum des diverses phases du procédé à 900°C.

La figure 3 illustre le cas où l'on a élaboré plusieurs composants électroniques, référencés 5, sur la face plane 2 et dans la partie de la plaquette destinée à constituer la couche mince.

L'étape de séparation vient ensuite. Elle consiste à appliquer des forces mécaniques, par exemple de traction, séparatrices entre les parties de la

plaquette ou substrat situées de part et d'autre du plan de référence de façon à fracturer les ponts solides subsistants. Cette opération permet d'obtenir la couche mince de matériau semiconducteur, équipée de composants 5 électroniques dans le cas décrit. La figure 4 illustre cette étape de séparation au cours de laquelle la couche mince 6 est séparée de la masse restante 7 du substrat par l'action de forces exerçant leurs actions en sens contraires et figurées par des flèches.

10 L'expérience montre que l'effort de traction nécessaire pour séparer la partie supérieure de la masse du substrat est faible en particulier lorsque l'on exerce un effort de cisaillement entre la partie supérieure et la masse du substrat, c'est-à-dire quand 15 les forces exercées présentent une composante suivant le plan de référence. Ceci s'explique simplement par le fait que l'effort de cisaillement favorise la propagation des fractures et des cavités dans le plan de référence.

20 La partie supérieure du substrat étant par nature mince, l'effort de traction et/ou de cisaillement ne peut pas, dans bien des cas, être appliqué commodément directement sur celle-ci. Il est alors préférable, avant l'étape de séparation, de rendre 25 la plaquette solidaire, par sa face plane 2, d'un support ou applicateur par l'intermédiaire duquel on appliquera les forces mécaniques à la partie supérieure de la plaquette. Cet applicateur est représenté sous la référence 8 à la figure 4.

30 L'applicateur peut être un support rigide ou souple. On entend ici par solidarisation de l'applicateur sur la plaquette toute opération de collage ou de préparation des surfaces et de mise en contact, permettant d'assurer une énergie de liaison 35 suffisante entre l'applicateur et la face plane de

la plaquette pour résister à l'opération de traction et/ou de cisaillement et/ou de flexion de l'étape de séparation.

L'applicateur peut être par exemple une 5 feuille de matériau plastique tel que du Kapton® que l'on a rendu adhérent à la face plane du substrat. Dans cet exemple, après application du procédé selon l'invention, on obtient une couche mince de semiconducteur monocristallin sur feuille de Kapton®.

10 Afin de transmettre correctement les efforts à l'ensemble de la couche mince supérieure, les circuits réalisés dans et à la surface de la couche supérieure peuvent avoir été recouverts d'une couche de protection éventuellement planarisante au cours de l'étape 15 d'élaboration des composants électroniques. L'applicateur est alors solidarisé de la couche mince supérieure de la plaquette par l'intermédiaire de cette couche de protection.

L'applicateur peut être aussi un support 20 rigide, par exemple une plaquette de silicium dont la surface peut être recouverte d'une couche diélectrique. On effectue par exemple un traitement physico-chimique approprié de la face plane de la plaquette et/ou de la surface de l'applicateur (portant 25 ou non une couche diélectrique) pour que la mise en contact associée à un éventuel traitement thermique solidarise la face plane de la plaquette et l'applicateur.

Dans le cas cité à titre d'exemple où 30 l'applicateur est une plaquette de silicium portant à sa surface une couche d'oxyde et où le substrat semiconducteur est une plaquette de silicium monocristallin, après application du procédé selon l'invention, on obtient une plaquette de silicium sur 35 isolant où la couche de silicium superficielle est

la couche fine fournie par la partie supérieure du substrat.

En outre, après séparation de la couche mince du reste de la plaquette, la face libre de cette couche 5. peut permettre le report d'un substrat supplémentaire pouvant être équipé de composants électroniques réalisés complètement ou partiellement sur le substrat. Un tel empilement permet un assemblage "trois dimensions" de circuits électroniques, le raidisseur pouvant ou 10 non comporter lui-même des composants électroniques.

REVENDICATIONS

1. Procédé de réalisation d'une couche mince de matériau semiconducteur (6) à partir d'une plaquette (1) dudit matériau comportant une face plane (2), 5 comprenant une étape d'implantation ionique consistant à bombarder ladite face plane (2) par des ions choisis parmi les ions de gaz rares ou d'hydrogène, selon une température déterminée et une dose déterminée pour créer, dans un plan dit plan de référence et situé 10 à une profondeur voisine de la profondeur moyenne de pénétration des ions, des microcavités (4), le procédé comprenant également une étape postérieure de traitement thermique à une température suffisante en vue d'obtenir une séparation de la plaquette en deux parties, de 15 part et d'autre dudit plan de référence, la partie située du côté de la face plane constituant la couche mince (6),

caractérisé en ce que :

- l'étape d'implantation ionique est conduite 20 avec une dose d'ions comprise entre une dose minimum et une dose maximum, la dose minimum étant celle à partir de laquelle il y aura une création suffisante de microcavités (4) pour obtenir la fragilisation de la plaquette suivant le plan de référence, la dose 25 maximum, ou dose critique, étant celle au-dessus de laquelle, pendant l'étape de traitement thermique, il y a séparation de la plaquette (1),

- une étape de séparation de la plaquette en deux parties, de part et d'autre du plan de 30 référence, est prévue après ou pendant l'étape de traitement thermique, cette étape de séparation comportant l'application de forces mécaniques entre les deux parties de la plaquette (1).

2. Procédé selon la revendication 1, 35 caractérisé en ce qu'il comprend, entre l'étape de

traitement thermique et l'étape de séparation, une étape consistant à réaliser au moins tout ou partie d'un composant électronique (5) dans la partie de la plaquette (1) devant constituer la couche mince (6).

5 3. Procédé selon la revendication 2, caractérisé en ce que, la réalisation dudit composant électronique (5) nécessitant des phases de traitement thermique, celles-ci sont menées à une température inférieure à celle du traitement thermique.

10 4. Procédé selon l'une quelconque des revendications 1 à 3, caractérisé en ce que, juste avant l'étape de séparation, il est prévu une étape supplémentaire consistant à mettre en contact intime et à solidariser ladite plaquette (1), du côté de ladite 15 face plane (2), avec un support (8) par l'intermédiaire duquel les forces mécaniques seront appliquées.

5. Procédé selon la revendication 4, caractérisé en ce que ledit support (8) est un support souple.

20 6. Procédé selon la revendication 5, caractérisé en ce que ledit support souple est une feuille de Kapton®.

7. Procédé selon la revendication 4, caractérisé en ce que ledit support (8) est un support 25 rigide.

8. Procédé selon la revendication 7, caractérisé en ce que ledit support rigide est une plaquette de silicium oxydé.

30 9. Procédé selon l'une quelconque des revendication 1 à 8, caractérisé en ce que ladite plaquette de matériau semiconducteur (1) est en silicium monocristallin.

10. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que ladite 35 plaquette de matériau semiconducteur (1) est recouverte,

du côté de la face plane (2), d'une couche de matériau non semiconducteur.

11. Procédé selon la revendication 10, caractérisé en ce que le matériau non semiconducteur 5 est un matériau diélectrique.

12. Procédé selon l'une quelconque des revendications précédentes, caractérisé en ce que les forces mécaniques appliquées lors de l'étape de séparation sont des forces de traction et/ou de 10 cisaillement et/ou de flexion.

1/2

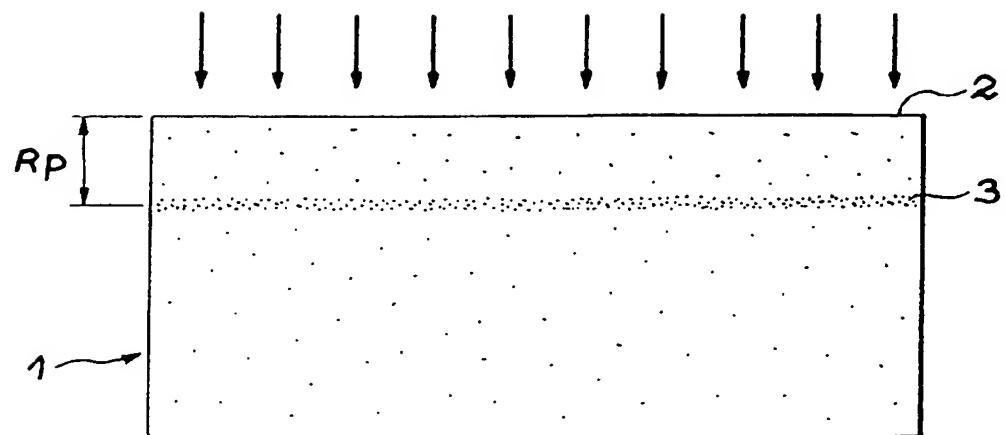


FIG. 1

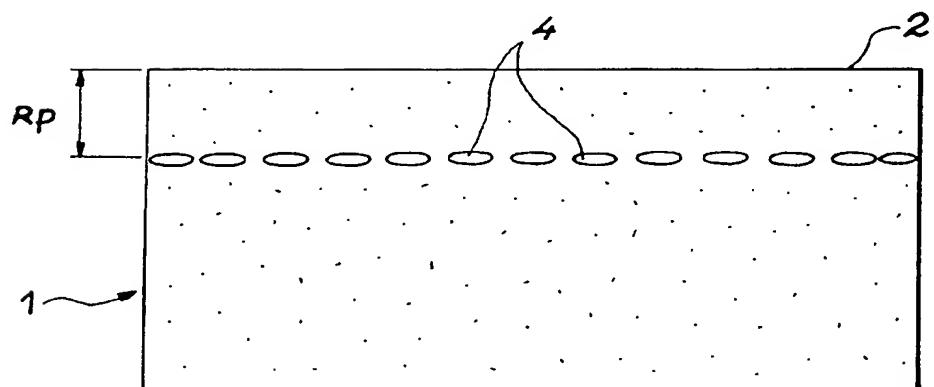


FIG. 2

2/2

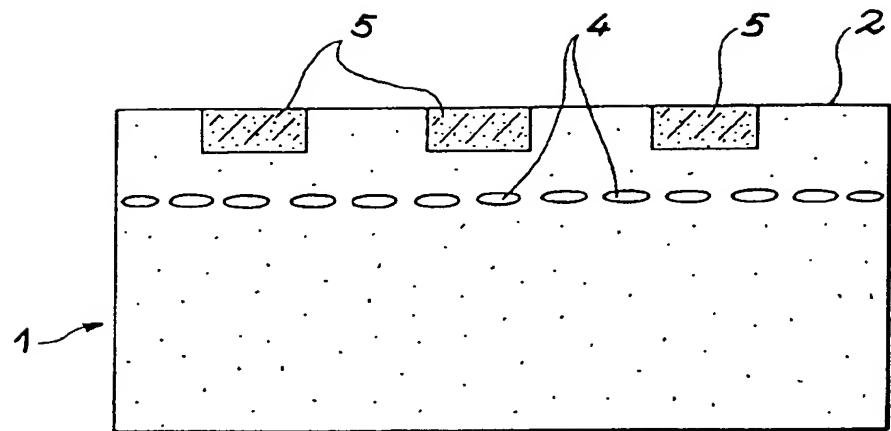


FIG. 3

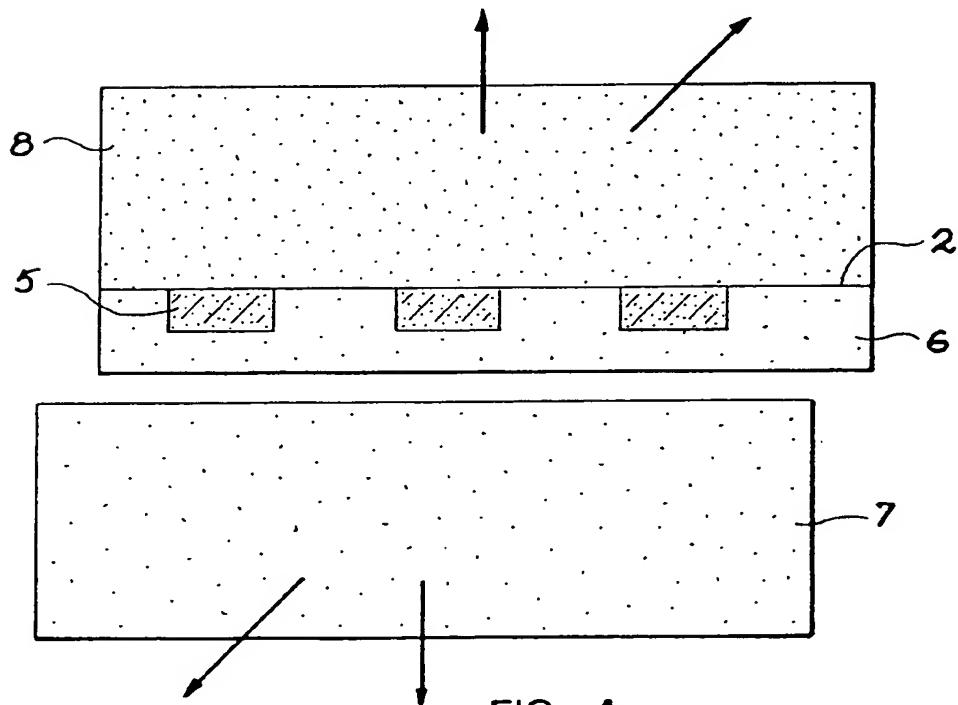


FIG. 4

REPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
de la
PROPRIETE INDUSTRIELLE

RAPPORT DE RECHERCHE
PRELIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

2748851
N° d'enregistrement
national

FA 530836
FR 9606086

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
Y	EP-A-0 703 609 (COMMISSARIAT ENERGIE ATOMIQUE) 27 Mars 1996 * colonne 6, ligne 19 - colonne 7, ligne 8; figures 1,2 * ---	1,4,5, 7-12
D,Y	EP-A-0 533 551 (COMMISSARIAT ENERGIE ATOMIQUE) 24 Mars 1993 * page 4, ligne 36 - page 5, ligne 14; figures 1-4 *	1,4,5, 7-12
A	EP-A-0 665 588 (COMMISSARIAT ENERGIE ATOMIQUE) 2 Août 1995 * colonne 3, ligne 58 - colonne 5, ligne 29; figures 2,3 *	1,9,12
A	ELECTRONICS LETTERS, vol. 31, no. 14, 6 Juillet 1995, page 1201/1202 XP000525349 BRUEL M: "SILICON ON INSULATOR MATERIAL TECHNOLOGY" -----	1,3,8-12
		DOMAINES TECHNIQUES RECHERCHES (In.CL.4)
		H01L
2		
EPO FORM 1502.02.02 (P04C13)		
Date d'achèvement de la recherche		Examinateur
27 Janvier 1997		Gélebart, J
CATEGORIE DES DOCUMENTS CITES <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p>		
<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons A : membre de la même famille, document correspondant</p>		

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.